



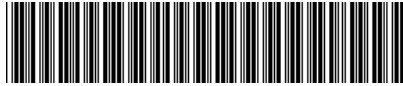
国家知识产权局

250014

山东省济南市历下区经十路 17703 号华特广场 B510 室 济南圣达知
识产权代理有限公司
于凤洋(0531-82961551)

发文日:

2024 年 11 月 27 日



申请号: 202411712714.5

发文序号: 2024112701121540

专利申请受理通知书

根据专利法第 28 条及其实施细则第 43 条、第 44 条的规定, 申请人提出的专利申请已由国家知识产权局受理。现将确定的申请号、申请日等信息通知如下:

申请号: 2024117127145

申请日: 2024 年 11 月 27 日

申请人: 齐鲁工业大学(山东省科学院), 山东省计算中心(国家超级计算济南中心)

发明人: 谭立状, 董鑫, 史慧玲, 张玮

发明创造名称: 基于 FPGA 的 RDMA 数据传输优化方法及系统

经核实, 国家知识产权局确认收到文件如下:

权利要求书 1 份 3 页, 权利要求项数: 10 项

说明书 1 份 8 页

说明书附图 1 份 2 页

说明书摘要 1 份 1 页

发明专利请求书 1 份 5 页

实质审查请求书 文件份数: 1 份

申请方案卷号: 2024710335

提示:

1. 申请人收到专利申请受理通知书之后, 认为其记载的内容与申请人所提交的相应内容不一致时, 可以向国家知识产权局请求更正。

2. 申请人收到专利申请受理通知书之后, 再向国家知识产权局办理各种手续时, 均应当准确、清晰地写明申请号。

审查员: 自动受理

联系电话: 010-62356655

审查部门: 初审及流程管理部



200101
2023.03

纸件申请, 回函请寄: 100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
电子申请, 应当通过专利业务办理系统以电子文件形式提交相关文件。除另有规定外, 以纸件等其他形式提交的文件视为未提交。

权利要求书

1. 基于 FPGA 的 RDMA 数据传输优化方法，其特征在于，包括：
构建以 FPGA 为核心的 RDMA 通信节点网络架构；
RDMA 通信节点网络初始化，将网络中存在的节点按照物理位置进行编号，并为每一个节点设置一个寄存器表格，每个寄存器表格条目包括数据发射时间和数据接收时间；
目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；
目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的目的节点寄存器表格。
2. 如权利要求 1 所述的基于 FPGA 的 RDMA 数据传输优化方法，其特征在于，以 FPGA 为核心的 RDMA 通信节点网络架构中，每一个分布式计算节点都包含一个 CPU 用于计算节点内部的综合控制，多个 GPU 和 FPGA 等硬件单元用于计算加速，多个分布式计算节点通过 FPGA 内的 RDMA 传输控制完成本地节点与网络节点的数据收发工作。
3. 如权利要求 1 所述的基于 FPGA 的 RDMA 数据传输优化方法，其特征在于，以 FPGA 为核心的 RDMA 通信节点包括数据计算处理、协议封装、优化拥塞控制以及数据发射接收，所述数据计算处理为异构加速处理，通过在内部实例化多个计算核心，利用 FPGA 高并发特性和 GPU 计算单元一起承担分布式计算节点计算加速任务。
4. 如权利要求 3 所述的基于 FPGA 的 RDMA 数据传输优化方法，其特征在于，协议封装包括：接收 RDMA 通信节点网络传输的数据信息，将其按照协议规范解包出有效数据，并将有效数据直接存储至对应的本地 CPU 内存空间；并接收 RDMA 网络传输的计算任务信息，将其发送至 FPGA 内部进行异构加速计算，并接收计算结果信息，将其打包封装发回 RDMA 通信节点网络；同时负责将本地 CPU 内存中的有效数据信息，按照协议规范打包成网络传输标准数据规范，并发送至 RDMA 通信节点网络。
5. 如权利要求 1 所述的基于 FPGA 的 RDMA 数据传输优化方法，其特征在于，RDMA 通信节点网络传输过程中传输目的节点需要发送反馈信息至信息发射节点告知信息是否成功接收，则将每一个目的节点的寄存器条目分为两部分，一部分是发射时间，一部分是接收时间，初始化阶段时，所有目的节点的寄存器表格值置零、所有目的节点的传输带宽平均分配，并

权利要求书

可以按照固定带宽发射所有目的节点数据信息；并且，在发射所有目的节点数据信息的同时，同步发射当前时间节点，即发射时间节点。

6. 如权利要求 1 所述的基于 FPGA 的 RDMA 数据传输优化方法，其特征在于，网络拥塞程度变化所引发的发射时间与接收时间变化分为四种：第一种，发射时间与接收时间都变大，且接收时间大于发射时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况且拥塞情况加重剧烈，此时该信息发射节点减少到对应目的节点的传输带宽；第二种，发射时间与接收时间都变大，但接收时间小于发射时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况但拥塞加重程度轻，此时该信息发射节点小幅减少到对应目的节点的传输带宽；第三种，发射时间变大接收时间变小，但都大于原有发射时间接收时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况但拥塞正在逐渐改善，此时该信息发射节点保持到对应目的节点的传输带宽；第四种，发射时间接收时间都变小，但都大于原有发射时间接收时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况但拥塞正在迅速改善，此时该信息发射节点保持到对应目的节点的传输带宽，并在发射时间接收时间恢复原有时间后，少许增加到对应目的节点的传输带宽。

7. 基于 FPGA 的 RDMA 数据传输优化系统，其特征在于，包括：

初始化模块，用于构建以 FPGA 为核心的 RDMA 通信节点网络架构；RDMA 通信节点网络初始化，将网络中存在的节点按照物理位置进行编号，并为每一个节点设置一个寄存器表格，每个寄存器表格条目包括数据发射时间和数据接收时间；

数据传输优化控制模块，用于目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的目的节点寄存器表格。

8. 一种计算机程序产品，包括计算机程序，其特征在于，所述计算机程序被处理器执行时实现权利要求 1-6 任一项所述的基于 FPGA 的 RDMA 数据传输优化方法。

9. 一种非暂态计算机可读存储介质，其特征在于，所述非暂态计算机可读存储介质用于存储计算机指令，所述计算机指令被处理器执行时，实现如权利要求 1-7 任一项所述的基于 FPGA 的 RDMA 数据传输优化方法。

权 利 要 求 书

10. 一种电子设备，其特征在于，包括：处理器、存储器以及计算机程序；其中，处理器与存储器连接，计算机程序被存储在存储器中，当电子设备运行时，所述处理器执行所述存储器存储的计算机程序，以使电子设备执行实现如权利要求 1-7 任一项所述的基于 FPGA 的 RDMA 数据传输优化方法。

基于 FPGA 的 RDMA 数据传输优化方法及系统

技术领域

[0001] 本公开涉及 RDMA 通信传输技术领域，具体涉及基于 FPGA 的 RDMA 数据传输优化方法及系统。

背景技术

[0002] 本部分的陈述仅仅是提供了与本公开相关的背景技术信息，不必然构成在先技术。

[0003] 传统集中式计算架构难以满足数据规模指数级迅猛增长导致的大规模数据处理需求，分布式计算架构已经成为面向大数据处理的主流计算范式。其中，网络通信成为分布式计算系统的主要性能瓶颈。分布式计算系统的高效数据传输面临高带宽、低延迟、高可靠、多路径等诸多挑战。RDMA (Remote Direct Memory Access, 远程直接内存访问) 技术作为一种新型传输协议，已广泛应用于分布式计算系统的数据传输过程。该技术能够实现跨主机内存间的数据直接传输，绕过操作系统内核干预，显著减少 CPU 负担，实现高速数据通信。

[0004] 然而，现有的 RDMA 传输技术仍面临诸多性能瓶颈。首先，现有的实现通常依赖智能网卡以实现网络与计算节点之间的高效连接，这可能导致性能损失。具体而言，分布式计算节点通常配备多个计算设备，额外引入智能网卡不仅增加了硬件的复杂性和成本，还可能带来额外的 CPU 调度开销，需额外协调智能网卡与节点内部其他设备的交互。其次，现行的 RDMA 传输控制机制多采用优先流控制策略来缓解网络拥塞。该策略通过在分布式节点层面实施流量控制，在出现网络拥塞时，降低或暂定上游节点的传输速率以缓解拥塞控制压力。然而，这种方法未考虑传输目的节点的具体需求，也未根据每个传输会话的实际带宽需求进行动态调整，导致流量管理的精度不足，从而影响整体的传输效率和性能。

发明内容

[0005] 本公开为了解决上述问题，提出了基于 FPGA 的 RDMA 数据传输优化方法及系统，构建内化智能网卡的 FPGA 硬件单元，利用 FPGA 高并发特性和 GPU 等计算单元一起承担分布式计算节点计算加速任务，根据 RDMA 传输需求，构建 RDMA 传输数据包数据链路，完成响应数据收发工作；同时针对 RDMA 网络拥塞问题，在 FPGA 传输节点中针对所有传输目的节点维护相应寄存器表格，实现以目的节点为单位的流量控制与拥塞解决。

[0006] 根据一些实施例，本公开采用如下技术方案：

基于 FPGA 的 RDMA 数据传输优化方法，包括：

构建以 FPGA 为核心的 RDMA 通信节点网络架构；

RDMA 通信节点网络初始化，将网络中存在的节点按照物理位置进行编号，并为每一个节点设置一个寄存器表格，每个寄存器表格条目包括数据发射时间和数据接收时间；

目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；

目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的节点寄存器表格。

[0007] 根据一些实施例，本公开采用如下技术方案：

基于 FPGA 的 RDMA 数据传输优化系统，包括：

初始化模块，用于构建以 FPGA 为核心的 RDMA 通信节点网络架构；RDMA 通信节点网络初始化，将网络中存在的节点按照物理位置进行编号，并为每一个节点设置一个寄存器表格，每个寄存器表格条目包括数据发射时间和数据接收时间；

数据传输优化控制模块，用于目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的节点寄存器表格。

[0008] 根据一些实施例，本公开采用如下技术方案：

一种计算机程序产品，包括计算机程序，所述计算机程序被处理器执行时实现所述的基于 FPGA 的 RDMA 数据传输优化方法。

[0009] 根据一些实施例，本公开采用如下技术方案：

一种非暂态计算机可读存储介质，所述非暂态计算机可读存储介质用于存储计算机指令，所述计算机指令被处理器执行时，实现所述的基于 FPGA 的 RDMA 数据传输优化方法。

[0010] 根据一些实施例，本公开采用如下技术方案：

一种电子设备，包括：处理器、存储器以及计算机程序；其中，处理器与存储器连接，计算

机程序被存储在存储器中，当电子设备运行时，所述处理器执行所述存储器存储的计算机程序，以使电子设备执行实现所述的基于 FPGA 的 RDMA 数据传输优化方法。

[0011] 与现有技术相比，本公开的有益效果为：

本公开的基于 FPGA 的 RDMA 数据传输优化方法，充分利用 FPGA 的可编程性，构建内化智能网卡的 FPGA 硬件单元，具体而言是将 FPGA 内部逻辑分为两部分，一部分是异构加速模块，负责利用 FPGA 高并发特性和 GPU 等计算单元一起承担分布式计算节点计算加速任务，另一部分是 RDMA 传输控制模块，负责根据 RDMA 传输需求，构建 RDMA 传输数据包数据链路，完成响应数据收发工作；同时针对 RDMA 网络拥塞问题，本发明提出一种网络拥塞的传输优化方案，在 FPGA 传输节点中针对所有传输目的节点维护相应寄存器表格，实现以目的节点为单位的流量控制与拥塞解决。

[0012] 本公开的基于 FPGA 的 RDMA 数据传输优化方法，充分利用了 FPGA 的可编程性与高并发性，降低了分布式计算节点中的硬件设备复杂性与 CPU 控制开销的同时，为分布式计算节点通过 RDMA 网络实现远程节点间的异构加速提供了实现渠道；同时，针对现有 RDMA 传输的拥塞解决方案效率低下的问题，提出了一种数据传输优化方案，根据信息发射节点-目的节点对的信息传输时间变化，动态控制 RDMA 网络传输带宽，在保证细粒度的同时具有优益的拥塞解决效果。

附图说明

[0013] 构成本公开的一部分的说明书附图用来提供对本公开的进一步理解，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公开的不当限定。

[0014] 图 1 为本公开实施例的以 FPGA 为核心的 RDMA 通信节点网络示意图；

图 2 为本公开实施例的 RDMA 通信节点网络拥塞的传输优化方案示意图。

[0015] 其中，图 2 中的 (a) 为初始化阶段；图 2 中的 (b) 为动态分配阶段。

具体实施方式

[0016] 下面结合附图与实施例对本公开作进一步说明。

[0017] 应该指出，以下详细说明都是例示性的，旨在对本公开提供进一步的说明。除非另有指明，本文使用的所有技术和科学术语具有与本公开所属技术领域的普通技术人员通常理解的含义。

[0018] 需要注意的是，这里所使用的术语仅是为了描述具体实施方式，而非意图限制根据本公开的示例性实施方式。如在这里所使用的，除非上下文另外明确指出，否则单数形式也意

图包括复数形式，此外，还应当理解的是，当在本说明书中使用术语“包含”和/或“包括”时，其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0019] 实施例 1

本公开的一种实施例中提供了一种基于 FPGA 的 RDMA 数据传输优化方法，包括：

步骤一：构建以 FPGA 为核心的 RDMA 通信节点网络架构；

步骤二：RDMA 通信节点网络初始化，将网络中存在的节点按照物理位置进行编号，并为每一个节点设置一个寄存器表格，每个寄存器表格条目包括数据发射时间和数据接收时间；

步骤三：目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；

步骤四：目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的目的节点寄存器表格。

[0020] 作为一种实施例，本公开的基于 FPGA 的 RDMA 数据传输优化方法的具体实施过程包括：

步骤 1：构建以 FPGA 为核心的 RDMA 通信节点网络架构；

如图 1 所示，其中每一个分布式计算节点都包含一个 CPU 用于计算节点内部的综合控制，多个 GPU 和 FPGA 等硬件单元用于计算加速，多个分布式计算节点通过 FPGA 内的 RDMA 传输控制模块完成本地节点与网络节点的数据收发工作。具体而言，FPGA 节点包含四部分内容，分别是数据计算处理模块、协议封装解包模块、优化拥塞控制模块以及数据发射接收模块，后三个模块组成 FPGA 内部的 RDMA 传输控制模块，后三个模块组成 FPGA 内部的 RDMA 传输控制模块。

[0021] 其中，数据计算处理模块，即异构加速模块，通过在内部实例化多个计算核心，利用 FPGA 高并发特性和 GPU 等计算单元一起承担分布式计算节点计算加速任务，该模块一方面与本地 CPU 关联，负责接受来自本地 CPU 发送的计算加速任务，另一方面与 FPGA 内部的 RDMA 传输控制模块关联，负责完成来自网路节点的计算加速任务。即本方案的 FPGA 异构加速模块即支持本地任务的计算加速，也支持远程计算节点通过 RDMA 网络传输计算任务负载，实现远程任务的计算加速。

[0022] 协议封装解包模块，是 FPGA 内部的 RDMA 传输控制模块的底层模块，主要负责三部分的工作任务：一方面负责接收 RDMA 网络传输而来的数据信息、将其按照协议规范解包出有效数据，并将有效数据直接存储至对应的本地 CPU 内存空间；一方面负责接收 RDMA 网络传输而来的计算任务信息，将其发送至 FPGA 内部异构加速模块计算，并接收异构计算模块的计算结果信息，将其打包封装发回 RDMA 网络；同时负责将本地 CPU 内存中的有效数据信息，按照一般协议规范打包成网络传输标准数据规范，并发送至 RDMA 网络。

[0023] 优化拥塞控制模块，是 FPGA 内部的 RDMA 传输控制模块的中间模块，负责根据网络拥塞程度决定该分布式计算节点的传输网络带宽。在该模块中，每一个传输目的节点都有一个独属于自身的寄存器表格，维护了数据收发所需时间，并根据该时间的动态变化判断网络中该节点到对应目的节点的网络拥塞程度。如果网络拥塞且阻碍了该模块的数据传输，则减少该分布式计算节点到对应目的节点的数据发射带宽；如果网络恢复通畅，则增加该分布式计算节点到对应目的节点的数据发射带宽。

[0024] 数据发送接收模块，是 FPGA 内部的 RDMA 传输控制模块的外部模块，直接与 RDMA 网络关联，主要负责完成数据的接收和发送工作。具体而言，该模块一方面需要将协议封装解包模块封装的数据或者接收到的 RDMA 网络数据按照对应的 RDMA 网络物理电气标准进行转化与传输，一方面内置路由单元，决定 RDMA 网络传输的路径，同时需要适配优化拥塞控制模块决定的传输带宽，决定数据收发速率。

[0025] 步骤 2：网络拥塞的传输优化过程

如图 2，首先在 RDMA 网络初始化阶段，将网络中存在的目的节点按物理位置标号为 1-n（以 RDMA 网络中有 n 个其他节点为例，n 表示为任意个），然后为每一个目的节点都维护一个寄存器表格。由于 RDMA 网络传输过程中传输目的节点需要发送反馈信息至信息发射节点告知信息是否成功接收，因此将每一个目的节点的寄存器条目分为两部分，一部分是发射时间，一部分是接收时间。初始化阶段时，所有目的节点的寄存器表格值置零、所有目的节点的传输带宽平均分配，并可以按照固定带宽发射所有目的节点数据信息。并且，在发射所有目的节点数据信息的同时，也需要同步发射当前时间节点，即发射时间节点。

[0026] 目的节点接收到 RDMA 网络中的数据信息后，在处理数据的同时，记录下当前信息的接收时间，即接收时间节点。然后根据接收到的 RDMA 网络中的发射时间节点与当前的接收时间节点计算一个发射时间存入目的节点中对应的发射节点寄存器表格中。

[0027] 目的节点在向信息发射节点发送反馈信号的同时，也需要同步发射原有的发射时间节

点与新纪录的接收时间节点信息。当信息发射节点接收到数据反馈信号后，同样记录当前的时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点中的目的节点寄存器表格。

[0028] 作为一种实施例，以信息发射节点 1 向目的节点 4 发送数据为例说明上述过程：

首先，在 0 时刻信息发射节点 1 向目的节点 4 发送数据，在发射有效数据的同时，同步发射当前时间节点，即发射时间节点 0；

然后，在 5 时刻目的节点 4 接收到 RDMA 网络中来自信息发射节点 1 的数据，记录下当前的时间节点，即接收时间节点 5，并根据接收时间节点 5 和发射时间节点 0 计算一个发射时间 5 存入目的节点 4 中的节点 1 寄存器表格发射时间中；

然后，目的节点 4 需要向信息发射节点 1 发送信息反馈信号的同时，将接收时间节点 5 和发射时间节点 0 同步发射至信息发射节点 1；

最后，在 8 时刻信息发射节点 1 接收到 RDMA 网络中来自目的节点 1 的反馈数据，记录下当前的时间节点 8，并根据信息中的接收时间节点 5 和发射时间节点 0 计算发射时间为 5，接收时间为 3，并存入信息发射节点 1 中的节点 4 寄存器表格发射时间和接收时间中。

[0029] 持续不断地执行上述过程并记录对应的信息发射节点-目的节点对之间的发射时间与接收时间，并根据信息发射节点-目的节点对之间的发射时间与接收时间关系判断对应目的节点的网络传输带宽。在网络拥塞程度不变的情况下，任意两个信息发射节点-目的节点对之间的发射时间与接收时间将无太大变化，但如果网路出现拥塞情况，则相应的发射时间与接收时间将大大提高，此时则需要减少对对应的信息发射节点-目的节点对数据带宽，即图 2 (b) 中所示。

[0030] 进一步地，网络拥塞程度变化所引发的发射时间与接收时间变化可以分为以下四种：第一种，发射时间与接收时间都变大，且接收时间大于发射时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况且拥塞情况加重剧烈，此时该信息发射节点需要大幅减少到对应目的节点的传输带宽，如图 2 (b) 中目的节点 4 所示；如第二种，发射时间与接收时间都变大，但接收时间小于发射时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况但拥塞加重较轻，此时该信息发射节点可以小幅减少到对应目的节点的传输带宽，如图 2 (b) 中目的节点 3 所示；第三种，发射时间变大接收时间变小，但都大于原有发射时间接收时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况但拥塞正在逐渐改善，此时该信息发射节点可以保持到对应目的节点的传输带宽，如图 2 (b) 中目的节点 2 所示；

第四种，发射时间接收时间都变小，但都大于原有发射时间接收时间，则表明该信息发射节点到对应目的节点的网络出现拥塞情况但拥塞正在迅速改善，此时该信息发射节点可以保持到对应目的节点的传输带宽，并在发射时间接收时间恢复原有时间后，少许增加到对应目的节点的传输带宽，以提升信息传输效率，如图 2 (b) 中目的节点 1 所示。

[0031] 实施例 2

本公开的一种实施例中提供了一种基于 FPGA 的 RDMA 数据传输优化系统，包括：

初始化模块，用于构建以 FPGA 为核心的 RDMA 通信节点网络架构；RDMA 通信节点网络初始化，将网络中存在的节点按照物理位置进行编号，并为每一个节点设置一个寄存器表格，每个寄存器表格条目包括数据发射时间和数据接收时间；

数据传输优化控制模块，用于目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的目的节点寄存器表格。

[0032] 实施例 3

本公开的一种实施例中提供了一种计算机程序产品，包括计算机程序，所述计算机程序被处理器执行时实现所述的基于 FPGA 的 RDMA 数据传输优化方法。

[0033] 实施例 4

本公开的一种实施例中提供了一种非暂态计算机可读存储介质，所述非暂态计算机可读存储介质用于存储计算机指令，所述计算机指令被处理器执行时，实现所述的基于 FPGA 的 RDMA 数据传输优化方法。

[0034] 实施例 5

本公开的一种实施例中提供了一种电子设备，包括：处理器、存储器以及计算机程序；其中，处理器与存储器连接，计算机程序被存储在存储器中，当电子设备运行时，所述处理器执行所述存储器存储的计算机程序，以使电子设备执行实现所述的基于 FPGA 的 RDMA 数据传输优化方法。

[0035] 本公开是参照根据本公开实施例的方法、设备（系统）、和计算机程序产品的流程图和 / 或方框图来描述的。应理解可由计算机程序指令实现流程图和 / 或方框图中的每一流程

说明书

和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0036] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0037] 上述虽然结合附图对本公开的具体实施方式进行了描述，但并非对本公开保护范围的限制，所属领域技术人员应该明白，在本公开的技术方案的基础上，本领域技术人员不需要付出创造性劳动即可做出的各种修改或变形仍在本公开的保护范围以内。

说明书附图

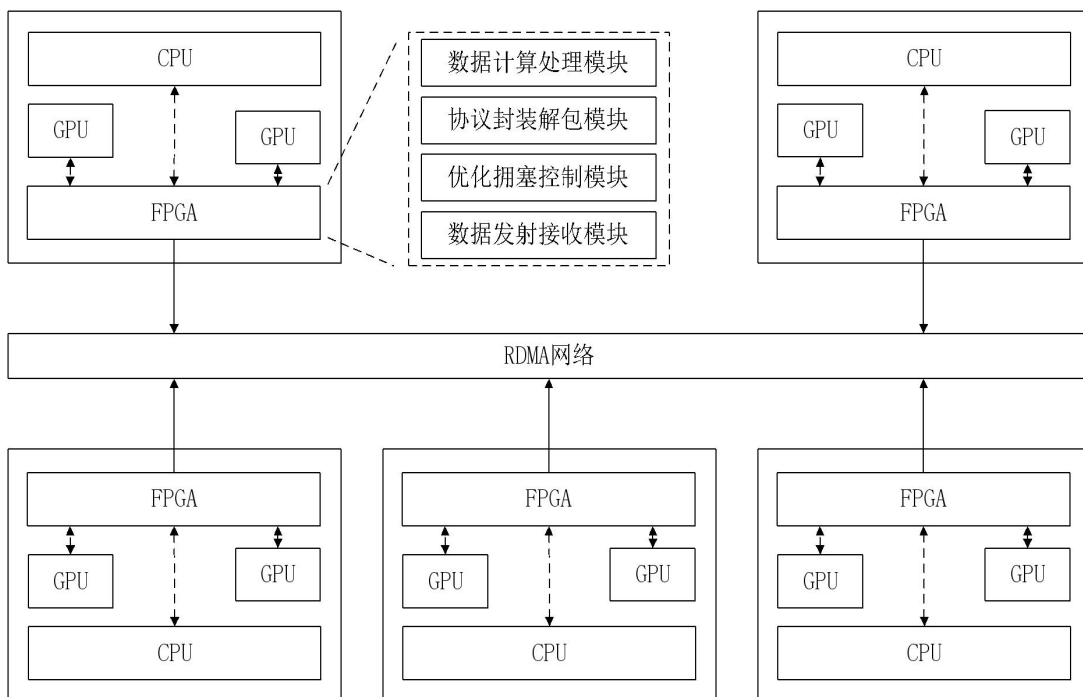
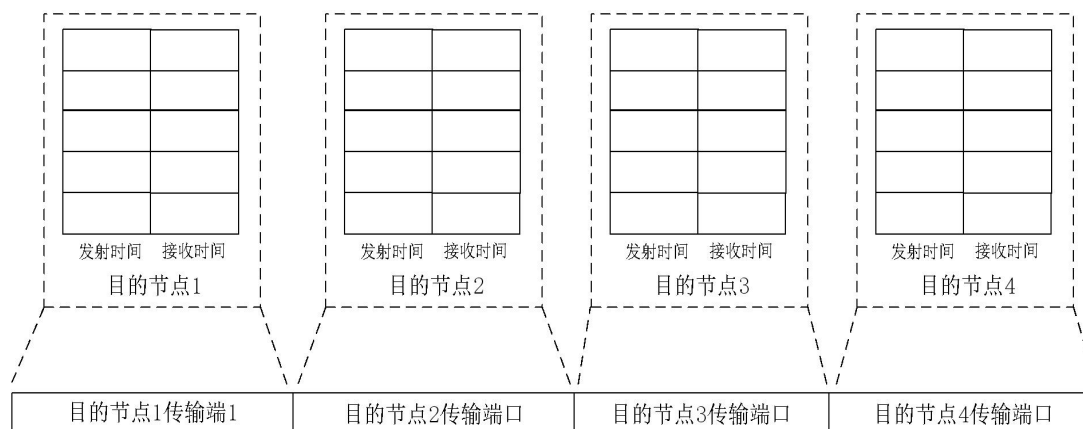
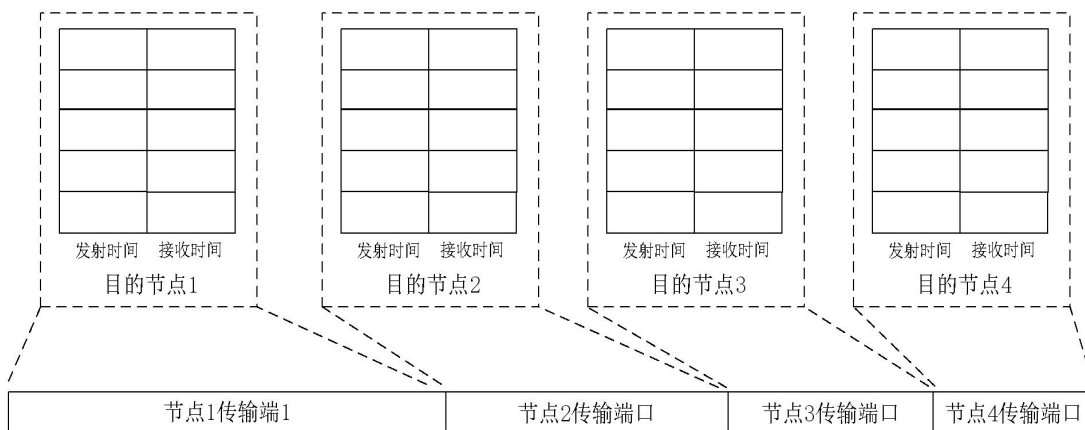


图 1



(a) 初始化阶段



(b) 动态分配阶段

图 2

说明书附图

说明书摘要

本公开提供了基于 FPGA 的 RDMA 数据传输优化方法及系统，涉及 RDMA 通信传输技术领域，包括构建以 FPGA 为核心的 RDMA 通信节点网络架构；RDMA 通信节点网络初始化，为每一个节点设置一个寄存器表格；目的节点接收 RDMA 通信节点网络中的数据后，在处理数据的同时，记录当前接收时间节点，根据接收到的 RDMA 通信节点网络中的发射时间节点与当前的接收时间节点，更新目的节点对应的发射节点寄存器表格；目的节点在向信息发射节点发送反馈信号的同时，同步发射原有的发射时间节点与接收时间节点信息，当信息发射节点接收到数据反馈信号后，同样记录当前的接收时间节点，并根据 RDMA 传输信息中的发射时间节点和接收时间节点信息更新对应信息发射节点的目的节点寄存器表格。